

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

02736371 **Image available**

THIN FILM TRANSISTOR

PUB. NO.: 01-033971 [JP 1033971 A]

PUBLISHED: February 03, 1989 (19890203)

INVENTOR(s): KEYAKIDA MASAYA

 YUKI MASAKI

APPLICANT(s): ASAHI GLASS CO LTD [000004] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 62-188897 [JP 87188897]

FILED: July 30, 1987 (19870730)

INTL CLASS: [4] H01L-029/78; G02F-001/133; G09F-009/30; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal

Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 763, Vol. 13, No. 226, Pg. 28, May
25, 1989 (19890525)

ABSTRACT

PURPOSE: To suppress disconnection in the through holes so as to enable electrical contact of both a source electrode and a drain electrode to be performed perfectly although both the source electrode and the drain electrode are thin, by making each of the internal surface of the through holes bored through insulating films covering a semiconductor film a slope.

CONSTITUTION: In a field effect thin film transistor in which through holes 7 are bored through both insulating films 4 and 6 covering a semiconductor film 3 to perform electrical contact of both a source electrode 8 and a drain electrode 9, each of the internal surfaces of the through holes 7 is made a slope. For example, a semiconductor film 2, impurity-doped

semiconductor films 3, a gate insulating film 4, a gate electrode 5, and a protective insulating film 6 are respectively formed on an insulating substrate 1. And, two layers of the gate insulating film 4 and the protective insulating film 6 are patterned to bore the through holes 7 in which each of the internal surfaces is made a slope therethrough. Therefore, the source electrode 8 and the drain electrode 9 can electrically contact with the respective impurity-doped semiconductor films 3 easily through the respective through holes 7.

English Translation of JP64-33971

(19) Japanese Patent Office (JP)

(11) Publication Number: Sho 64-33971

(43) Date of publication of application: February 3rd, 1989

(12) Patent Laid-open Official Gazette (A)

(51) Int. Cl.⁴

H01L 29/078

G02F 01/133

G09F 09/030

H01L 27/012

The Number of Invention: 1 (6 pages in total)

Request of Examination: not made

(54) Title of Invention: THIN FILM TRANSISTOR

(21) Application Number: Sho 62-188897(22) Filing Date: July 30th, 1987

(71) Applicant: Asahi Glass Co., Ltd.

(72) Inventor: Masaya KEYAKIDA and Masaki YUKI

(74) Representative: Patent attorney: Shigero TOGAMURA

Specification

1. [Title of the Invention]

THIN FILM TRANSISTOR

2. [Scope of Claims]

[Claim 1] A thin film transistor comprising a field effect thin film transistor, in which contact with a source electrode and a drain electrode is performed by making a through

hole in an insulating film which covers a semiconductor film,
wherein an edge face of the through hole is an inclined plane.

[Claim 2] The thin film transistor according to claim 1,
wherein the through hole passes through the insulating film and the semiconductor film,
and
wherein both edge faces of the insulating film and the semiconductor film are made to
be inclined planes.

[Claim 3] The thin film transistor according to claim 1 or 2,
wherein the source electrode and the drain electrode are made to contact with an
impurity-doped semiconductor film by the through holes.

[Claim 4] The thin film transistor according to any one of claims 1 to 3,
wherein an angle of the inclined plane is smaller than 45° .

[Claim 5] The thin film transistor according to any one of claims 1 to 4,
wherein the semiconductor film is a silicon film.

[Claim 6] The thin film transistor according to claim 5,
wherein the insulating film is a silicon oxynitride film.

3. [Detailed Description of the Invention]

[Industrial Field for the Invention]

The present invention relates to a field effect type thin film transistor which is
suitable for constituting an active matrix substrate.

[Prior Art]

In recent years, demand for the development of thin displays such as OA machine

terminals or flat TVs is increasing. For one example, an active matrix liquid crystal display device has been developed remarkably, which has an active matrix substrate in which a plurality of row electrodes and a plurality of column electrodes are provided over a transparent insulating substrate and active elements such as a transistor are formed in the vicinity of intersections thereof per each pixel.

Fig. 2 shows an equivalent circuit diagram of a typical example of this active matrix liquid crystal display device.

In the drawing, reference numeral 21 denotes a liquid crystal layer; 22 denotes a capacitor for holding a voltage applied to the liquid crystal layer; and 23 denotes a transistor used as an active element for controlling a voltage to drive the liquid crystal layer. Here, X1, X2, X3 ... are row selecting lines (row electrodes) for controlling a gate of the transistor 23 and Y1, Y2, Y3 ... are column signal lines (column electrodes) for applying a voltage which is required to drive the liquid crystal to a source electrode, and are driven by a line sequential drive.

Fig. 3 shows a cross section of example of a thin film transistor (TFT) used thereto.

In the drawing, reference numeral 31 denotes an insulating substrate such as glass; 32 denotes a semiconductor film such as amorphous silicon, poly-silicon, single crystalline silicon, or CdSe; 33 denotes an impurity-doped semiconductor film in which an impurity is doped to a semiconductor film; 34 denotes a gate insulating film; 35 denotes a gate electrode such as ITO, SnO₂, Al or Cr; 36 denotes a protective insulating film; 37 denotes a through hole for making contact with a source electrode and a drain electrode; 38 denotes a source electrode such as Al or Cr; and 39 denotes a drain electrode such as Al or Cr.

In addition, in the case of using this TFT for a display device, the drain electrode of this TFT may be connected to a display pixel electrode such as $\text{In}_2\text{O}_3\text{-SnO}_2$ (ITO), SnO_2 , Al or Cr which is not shown in the drawing.

[Problems to be Solved by the Invention]

In this conventional TFT, since an edge face of a through hole is nearly vertical, it is required to use source and drain electrodes of which respective thicknesses are thicker than a depth of this through hole in order to have a perfect contact.

That is, in order to have respective perfect conductive connections of the source electrode 36 and the drain electrode 39 with the impurity-doped semiconductor film 33, the source and the drain electrodes of which respective film thicknesses are thicker than a total thicknesses of the gate insulating film 34 and the protective insulating film 36 are required to be used since the through hole passes through the gate insulating film 34 and the protective insulating film 36, and thus there is a great risk of causing disconnection in this step portion.

Consequently, it is preferable that the respective film thicknesses of the source and drain electrodes be thicker than a total film thickness of the gate insulating film 34 and the protective insulating film 36, and more preferably, is formed to be a thicker by 50% to 100%.

On the other hand, the protective insulating film 36 is required in order to prevent a short-circuit between the gate electrode 35 and the source electrode 38 and the drain electrode 39, and consequently it is difficult to make the step itself of the through hole shallow. As a result, it is impossible to reduce respective film thicknesses of the source electrode and the drain electrode, and consequently, problems arise such that the processes are increased and the productivity is reduced.

Besides, a film such as ITO of which film thickness is not desired to be thick for transmittance is required to be thick, and consequently, problem arises such that display becomes dark and is tinged with yellow.

[Means for Solving the Problems]

In view of the foregoing, it is an object of the present invention to provide a thin film transistor in which contact with a source electrode and a drain electrode is performed by making a through hole in an insulating film which covers a semiconductor film in a field effect type thin film transistor, and an edge face of the through hole is an inclined plane.

According to the present invention, since an inside surface of the through hole is an inclined plane, the conductive connection can be performed perfectly even if respective film thicknesses of source and drain electrodes are thin, and consequently disconnection at the through hole can be reduced.

In the present invention, the inside surface of the through hole that is an edge face of the insulating film is an inclined plane in this through hole portion. In this case, when the insulating film has a two-layer structure such as an example mentioned later, an inside surface of the through hole of at least one insulating film is made to be an inclined plane, and more particularly it is preferable that both edge faces of the two insulating films be made to be inclined planes. Consequently, the step coverage of electrodes at the through hole portion is improved, the disconnection at the through hole is not easily caused even if a thickness of the electrode is not made to be extremely thick, and the yield is improved as well as the productivity is increased.

Furthermore, when a shielding film is formed thereover, it is not required to make the insulating film and the shielding film remarkably thick. Thus favorable

productivity is obtained, further, problems such as short circuit or disconnection do not easily arise.

Hereinafter, description is made with reference to the drawings.

Fig. 1 shows a cross section of a typical example of a thin film transistor of the present invention.

In Fig. 1, reference numeral 1 denotes an insulating substrate such as glass; 2 denotes a semiconductor film such as amorphous silicon, polysilicon, single crystalline silicon, or CdSe; 3 denotes an impurity-doped semiconductor film in which an impurity is doped to a semiconductor film; 4 denotes a gate insulating film; 5 denotes a gate electrode such as $\text{In}_2\text{O}_3\text{-SnO}_2$ (ITO), SnO_2 , Al or Cr; 6 denotes a protective insulating film; 7 denotes a through hole; 8 denote, a source electrode such as Al or Cr; and 9 denotes a drain electrode such as Al or Cr. In addition, in the case of using this TFT for a display element, a display pixel electrode such as ITO, SnO_2 , Al or Cr may be provided, and connected to the drain electrode.

In the present invention, the through hole portion 7 in the source electrode 8 and the drain electrode 9 passes through a two-layer insulating film where the protective insulating film 6 as a second insulating film is stacked over the gate insulating film 4 as a first insulating film, so that both electrode are conductively connected to the impurity-doped semiconductor film 3 which is provided thereunder as shown in Fig. 1. The two-layer insulating film is formed to have edge faces to be inclined planes in the inside surface of this through hole.

Consequently, the source electrode 8 and the drain electrode 9 are inclined along the edge face of the gate insulating film 4 and the protective insulating film 6 in the through hole 7 and conductively connected to the impurity-doped semiconductor film 3,

so that the risk of disconnection at the through hole is reduced.

That is, the disconnection is not easily caused at the through hole even if a film thickness of the source electrode and the drain electrode is not thicker than a total film thickness of the gate insulating film and the protective insulating film.

Moreover, in the case of forming a film such as a shielding film further thereover, a larger step is not caused, so that short circuit is not easily caused between the shielding film and electrodes.

Even when the edge faces of one insulating film in the two-layer insulating film are inclined planes, the effect of the present invention for preventing the disconnection is obtained, although which is inferior to the case that the edge faces of both insulating films are inclined planes.

It is the most preferable that the edge faces of all of the insulating films in the through hole are inclined planes in view of preventing disconnection as is in the example of Fig. 1.

In this example, since the insulating film is a two-layer insulating film, the edge faces of the gate insulating film and the protective insulating film are inclined planes in the through hole, however, the same can be applied to the case where the insulating film has three layers or more.

The disconnection is caused less easily with an angle of this inclined plane being more inclined from vertical. In particular, it is preferable that this inclined plane be gentler than 45° .

In the case where materials of such two-layer insulating films are the same, since an inclination of an edge face of a lower film is almost the same as an edge face of an upper film, this two-layer insulating film is formed to have a continuous inclined plane,

therefore, a problem does not arise particularly. However, in the case where materials of these films are different, the disconnection is further less easily caused when an inclination of an edge face of a lower film is equivalent to or gentler than that of an upper film. In particular, it is preferable that a bottom edge of an inclined plane in an edge face of the upper side film, namely the protective insulating film in this example, is connected to an upper edge of an inclined plane in an edge face of the down side film, namely the gate insulating film in this example.

In the case where this TFT is used in an active matrix substrate for a display device, it is preferable that silicon be used as a semiconductor, and more particularly, it is preferable that amorphous silicon or poly-crystalline silicon be used. In this case, it is preferable that a protective insulating film be a silicon oxynitride film since favorable insulation can be obtained and an inclined plane is formed easily.

The edge face of the insulating film in the through hole of the present invention is formed to be an inclined plane easily by etching utilizing the difference in etching rate of the films.

That is, the edge faces of the protective insulating film and the gate insulating film are made to be inclined planes such as the through hole 7 of Fig. 1 by patterning a resist into a desirable pattern to leave the two-layer insulating film and etching the through hole portion. It is preferable that the inclination of this inclined plane be approximately from 1 : 1 to 1 : 10.

As mentioned above, when a TFT formed in such a manner is used for a display device, an active matrix substrate and a counter electrode substrate are formed with an electro-optical medium such as liquid crystal or an electrochromic material interposed therebetween, so that display is performed.

In the case of a use as a display device, various applications are possible in addition to these examples, and color display can be performed by providing color filters. The color filters can be provided on the substrate side where a TFT is formed, or on the counter electrode substrate side. Besides, it can be formed over or under an electrode, and it is possible to employ known color filter forming methods such as a printing method, a vapor deposition method or a dyeing method.

A shape of a pixel electrode is a square shape in the aforementioned example, however, it can be a rectangle, a hexagon, a triangle, a circle or the like, and a size or a shape of a display pixel electrode may be changed in accordance with display colors.

Besides, an aligning film for aligning liquid crystals in a particular direction, a reflecting electrode, a polarizing film, a ferroelectric film and the like may be stacked, a two-color pigment and the like may be doped into the liquid crystal, and an active element for a driver circuit can be formed, a driver circuit IC may be attached or the like on the periphery.

Moreover, one TFT is enough for one pixel, however, a plurality of TFTs may be formed in parallel in order to increase redundancy, or a plurality of active elements may be formed in series in order to increase a driving current value. Furthermore, an auxiliary wire of a gate electrode or a source electrode may be formed or the like in order to increase redundancy.

Besides, another constitution which is used for a TFT may be added within a range that the effect of the present invention is not damaged.

[Embodiment]

A TFT having a structure of Fig. 1 is manufactured according to a process shown

in Fig. 4.

First, as shown in Fig. 4 (A), a polysilicon film is deposited with a thickness of 100 nm over an insulating substrate 41 made of alkali free glass, and is patterned into a predetermined shape to be a semiconductor film 42.

Next, as shown in Fig. 4 (B), silicon oxynitride is deposited with a thickness of 150 nm by plasma CVD thereover to form a gate insulating film 44, and then Al is deposited with a thickness of 200 nm by evaporation and is patterned to form a gate electrode 45.

Here, as shown in Fig. 4 (C), P ion is implanted to form an impurity-doped semiconductor film 43 except a portion of the semiconductor film under the gate electrode.

Subsequently, as shown in Fig. 4 (D), silicon oxynitride is deposited with a thickness of 100 nm to form a protective insulating film 46.

Next, as shown in Fig. 4 (E), a through hole 47 is made to be a tapered shape by dry etching using a method shown hereafter.

A positive resist (OFPR-800 made by Tokyo Ohka Kogyo Co., Ltd.) is applied with a thickness of approximately $1.6\text{ }\mu\text{m}$ over a SiON film as the protective insulating film 46 and is patterned into a predetermined shape.

The SiON film is etched by dry etching by SF_6 gas of 7 SCCM and O_2 gas of 60 SCCM, at a pressure of 8 Pa, and at a power density of 0.15 w/cm^2 . A ratio of an etching rate of the SiON film to a resist film is approximately 1 : 5 at this time, and the tapered shape of the resist edge face is copied to edge faces of the protective insulating film 46 and the SiON film of the gate insulating film 44. Consequently, the edge faces of the protective insulating film 46 and the SiON film of the gate insulating film 44 are

made to be inclined planes having an inclination of approximately 1 : 5.

Subsequently, Cr is evaporated with a thickness of 100 nm and patterned to form a source electrode and a drain electrode.

A step in this through hole portion is 250 nm that is a total film thickness of the protective insulating film 46 and the gate insulating film 44. As compared with this step, though thicknesses of the source electrode and the drain electrode are 100 nm in this embodiment, disconnection is not recognized almost at all at the step of the through hole.

[Embodiment 2]

A display pixel electrode is added to the TFT of the Embodiment 1, furthermore, a polyimide film for controlling orientation is formed over the display pixel electrode and is rubbed so as not to be destroyed by static electricity, thereby an active matrix substrate is formed.

Besides, a counter electrode substrate is formed by forming an ITO film over a glass substrate, adding color ink of each color to portions corresponding to each pixel by printing to form color filters, furthermore forming a polyimide film and rubbing it.

A twist nematic type active matrix liquid crystal display device is manufactured by printing a sealing material on the periphery of this active matrix substrate, and ink for conductive connection between the substrates; pressing the active matrix substrate and the counter electrode substrate to be bonded as a cell; injecting liquid crystal therebetween; and providing a pair of polarizing films over both surfaces thereof.

In the liquid crystal display device of this embodiment, a TFT defect does not easily occur by disconnection at the through hole portion, even when a vibration test or a heat cycle test is performed, and so has high reliability.

[Effects of the invention]

According to the present invention, since an edge face of an insulating film at through hole portions of TFT is made to be an inclined plane, the step coverage of an electrode is favorable. Even when a thickness of the electrode is not extremely thick, the contact of the electrode is securely kept, so that the through hole disconnection is not easily caused, and consequently, the productivity is increased and the yield is improved.

Furthermore, since disconnection which is caused later in use as well as at manufacture is reduced, the reliability of the TFT itself, furthermore, after completed as a display device, is increased.

Furthermore, in the case of forming a shielding film thereover, a thickness of an insulating film and a shielding film is not required to be extremely thick, so that the productivity is favorable, and problems such as short circuit and disconnection are not easily caused.

The present invention has the possibility of various applications within a range of that the effects of the present invention is not damaged.

4. [Brief Description of the Drawings]

Fig. 1 shows a cross section of a typical example of a thin film transistor of the present invention.

Fig. 2 shows an equivalent circuit diagram of a typical example of this active matrix liquid crystal display device.

Fig. 3 shows a cross section of the conventional example of a thin film transistor.

Figs. 4 (A) through (E) show cross sections showing a TFT manufacturing process of an embodiment.

insulating substrate: 1, 31, 41

semiconductor film: 2, 32, 42

impurity-doped semiconductor film: 3, 33, 43

gate insulating film: 4, 34, 44

gate electrode: 5, 35, 45

protective insulating film: 6, 36, 46

through hole: 7, 37, 47

source electrode: 8, 38

drain electrode: 9, 39

Patent Attorney: Shigeo TOGAMURA and another

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-33971

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)2月3日

H 01 L 29/78
G 02 F 1/133
G 09 F 9/30
H 01 L 27/12

3 1 1
3 2 7
3 3 8

P-7925-5F
7370-2H
7335-5C
7514-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭62-188897

⑰ 出 願 昭62(1987)7月30日

⑱ 発 明 者 榎 田 昌 也 神奈川県横浜市磯子区杉田3-16-1

⑲ 発 明 者 結 城 正 記 神奈川県秦野市南矢名1668-6

⑳ 出 願 人 旭硝子株式会社 東京都千代田区丸の内2丁目1番2号

㉑ 代 理 人 弁理士 榎村 繁郎 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) ソース電極及びドレイン電極との接触を半導体膜を覆う絶縁膜にスルーホールをあけて行う電界効果型の薄膜トランジスタにおいて、前記スルーホールの端面が傾斜面とされていることを特徴とする薄膜トランジスタ。

(2) スルーホールが絶縁膜と半導体膜とをつき抜けており、絶縁膜と半導体膜との両方の端面が傾斜面とされている特許請求の範囲第1項記載の薄膜トランジスタ。

(3) ソース電極及びドレイン電極と、不純物添加半導体膜とがスルーホールにより接触させられている特許請求の範囲第1項または第2項記載の薄膜トランジスタ。

(4) 傾斜面が45°よりも鋭い傾斜面である特許請求の範囲第1項～第3項のいずれか一項記載の

薄膜トランジスタ。

(5) 半導体膜がシリコン膜である特許請求の範囲第1項～第4項いずれか一項記載の薄膜トランジスタ。

(6) 絶縁膜がシリコンオキシナイトライドである特許請求の範囲第5項記載の薄膜トランジスタ。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、アクティブマトリックス基板を構成するに適した電界効果型の薄膜トランジスタに関するものである。

【従来の技術】

最近OA機器端末や平面テレビ等薄膜ディスプレイの開発の要求が強くなっており、その一つとして透明絶縁性基板上に複数の行電極と列電極とを設け、その交差点近傍に各画素毎にトランジスタ等の駆動素子を形成したアクティブマトリックス基板を用いたアクティブマトリックス型液晶表示装置の開発が盛んに行われてい

る。

第2図は、このアクティブマトリックス液晶表示装置の代表的な例の等価回路図である。

図において、21は液晶層であり、22は液晶層に印加される電圧を保持するためのキャパシタであり、23は液晶層を駆動する電圧を制御するための駆動素子であるトランジスタである。ここで、X1、X2、X3…はトランジスタ23のゲートを制御する行選択線（行電極）、Y1、Y2、Y3…は液晶を駆動するのに必要な電圧をソース電極に印加するための列信号線（列電極）であり、線順次で駆動される。

第3図は、これに用いられる薄膜トランジスタ（TFT）の例の断面図である。

図において、31はガラス等の絶縁性基板、32はアモルファスシリコン、ポリシリコン、単結晶シリコン、CdSe等の半導体膜、33は半導体膜に不純物を添加した不純物添加半導体膜、34はゲート絶縁膜、35はITO、SnO₂、Al、Cr等のゲート電極、36は保護絶縁膜、37はソース電極

大きかった。

このため、このソース電極及びドレイン電極との膜厚は、スルーホールでつき抜けているゲート絶縁膜34及び保護絶縁膜36の合計の膜厚よりも厚く、できれば50～100%厚くすることが好ましい。

一方、ゲート電極35とソース電極38及びドレイン電極39との短絡を防ぐために、保護絶縁膜36は必要であり、スルーホールの段差そのものを浅くすることは困難である。その結果、ソース電極及びドレイン電極との膜厚を減らすことができなく、工程が長くなり生産性が低下するという問題点を生じていた。

しかも、ITOのように透過率の点で膜厚を厚くしたくない膜の膜厚も厚くしなくてはならず、表示が暗くなったり、色が黄色かかるといった問題点を生じた。

〔問題を解決するための手段〕

本発明は、かかる問題点を解決すべくなされたものであり、ソース電極及びドレイン電極と

及びドレイン電極との接触をとるためのスルーホール、38はAl、Cr等のソース電極、39はAl、Cr等のドレイン電極を示している。

なお、このTFTを表示装置に使用する場合には、このTFTのドレイン電極を露出されていないIn₂O₃-SnO₂（ITO）、SnO₂、Al、Cr等の表示画素電極に接続して使用すればよい。

〔発明の解決しようとする問題点〕

この従来のTFTにおいては、スルーホールの端面は、ほぼ垂直であり、接触を完全にとるためには、このスルーホールの深さよりも厚みの厚いソース電極及びドレイン電極を使用しなくてはならなかった。

即ち、スルーホールは、ゲート絶縁膜34及び保護絶縁膜36とをつき抜けているため、ソース電極38及びドレイン電極39と不純物添加半導体膜33との間の導電接続を完全にするためには、ゲート絶縁膜34及び保護絶縁膜36と厚さよりも厚い膜厚のソース電極及びドレイン電極を使用しないと、この段差部分で断線を生じる危険が

の接触を半導体膜を覆う絶縁膜にスルーホールをあけて行う電界効果型の薄膜トランジスタにおいて、前記スルーホールの端面が傾斜面とされていることを特徴とする薄膜トランジスタを提供するものである。

本発明によれば、スルーホールの内面が傾斜面とされているため、ソース電極及びドレイン電極の膜厚が薄くてもその導電接続が完全にできることとなり、スルーホールでの断線を減少させることができる。

本発明では、このスルーホール部で絶縁膜の端面であるスルーホールの内面が傾斜面とされるものである。この場合、後述の例のように絶縁膜が2層構造の絶縁膜の場合には、少なくとも1つの絶縁膜のスルーホールの内面が傾斜面とされるものであり、特に、2層の絶縁膜の端面が両方とも傾斜面とされていることが好ましい。これにより、スルーホール部における電極のステップカバレッジ性がよくなり、電極の厚みを極めて厚くしなくても、スルーホール断線

を生じにくくなり、生産性が良くなるとともに、歩留も良いものとなる。

さらに、この上に遮光膜を形成する場合においても、絶縁膜及び遮光膜の厚さを著しく厚くしなくてすみ、生産性がよく、かつ、短絡、断線という問題を生じにくくなる。

以下図面を参照して説明する。

第1図は、本発明の得膜トランジスタの代表的な例の断面図を示している。

第1図において、1はガラス等の絶縁性基板、2はアモルファスシリコン、ポリシリコン、単結晶シリコン、 CdSe 等の半導体膜、3は半導体膜に不純物をドーブした不純物添加半導体膜、4はゲート絶縁膜、5は In_2O_3 - SnO_2 (ITO)、 SnO_2 、Al、Cr等ゲート電極、6は保護絶縁膜、7はスルーホール、8はAl、Cr等のソース電極、9はAl、Cr等のドレイン電極を示している。なお、このTFTを表示素子として使用する場合には、ITO、 SnO_2 、Al、Cr等の表示両端電極を設け、これをドレイン電極に接続し

て使用すればよい。

本発明では、ソース電極8とドレイン電極9のスルーホール部7では、第1図に示されるように第1の絶縁膜であるゲート絶縁膜4の上に第2の絶縁膜としての保護絶縁膜6とを積層した2層の絶縁膜が貫通して両電極がその下に設けられた不純物添加半導体膜3に導電接続されている。このスルーホールの内面で2層の絶縁膜はその端面が傾斜面に形成されている。

これによりソース電極8とドレイン電極9はスルーホール7内でゲート絶縁膜4と保護絶縁膜6の端面に沿って傾斜して不純物添加半導体膜3に導電接続してつながっているため、スルーホール部で断線する危険性が低くなる。

即ち、ソース電極とドレイン電極の膜厚をゲート絶縁膜と保護絶縁膜との合計膜厚よりも厚くしなくても、このスルーホール部で断線を生じにくい。

また、さらにこの上に遮光膜のような膜を形成する場合においても、より大きな段差を生じ

ないため、遮光膜と電極との面での短絡を生じにくい。

なお、2層の絶縁膜の内、一方の絶縁膜の端面のみが傾斜面とされている場合よりは劣ることとなるが、本発明の断線防止の効果は生じる。

もっとも、第1図の例のようにスルーホール部の全ての絶縁膜の端面が傾斜面とされていることが断線の防止という点からみて最も好ましい。

この例では、絶縁膜が2層の絶縁膜であるので、スルーホール部のゲート絶縁膜と保護絶縁膜との端面を傾斜面としたが、絶縁膜を3層以上の絶縁膜にした場合にも適用できる。

この傾斜面の角度は垂直から傾斜すればするほど、断線しにくくなるが、特に、この傾斜面は 45° よりも緩い傾斜面とされることが好ましい。

このような2層の絶縁膜の材質が同一の場合

には、下にある膜の端面の傾斜と上に重ねられた膜の端面とはほぼ同じとなり、この2層の絶縁膜は連続した傾斜面になるため特に問題を生じない。しかし、これらの膜の材質が異なる場合には下にある膜の端面の傾斜が、上に重ねられた膜の端面の傾斜と同等か若しくは上に重ねられた膜の端面の傾斜よりも緩い傾斜とされることにより、より断線を生じにくい。特に、上側の膜、この例では保護絶縁膜の端面の傾斜面の下端に、下側の膜、この例ではゲート絶縁膜の端面の傾斜面の上端が接続する程度にされていることが好ましい。

このTFTが表示装置用のアクティブマトリックス基板に使用される場合には、半導体にシリコンを使用することが好ましく、特に、非晶質シリコンまたは多結晶シリコンが好ましい。この場合、保護絶縁膜がシリコンオキシナイトライド膜とされることが絶縁性がよく、かつ傾斜面の形成工程が容易となるので好ましい。

本発明のスルーホール部の絶縁膜の端面を傾

斜面に形成するには、それらの膜のエッチングレートの違いを利用してエッチングすることにより容易に形成できる。

即ち、2層の絶縁膜の残したいパターンにレジストをパターンニングし、スルーホール部をエッチングすることにより第1図のスルーホール1のように保護絶縁膜とゲート絶縁膜との端面が傾斜面とされる。この傾斜面の傾きは1:1〜1:10程度とされることが好ましい。

前述したように、このようにして形成されたTFTを表示装置として使用する場合には、アクティブマトリックス基板とし、これと対向電極基板との間に液晶、エレクトロクロミック材料等の電気光学媒体を挟持して表示を行う。

表示装置として使用する場合には、これらの外に種々の応用が可能であり、カラーフィルターを設けてカラー表示を行うことができる。このカラーフィルターはTFTを形成した基板側に設けてもよいし、対向電極基板側に設けてもよい。また、電極の上に形成してもよいし、電

極の下に形成してもよく、印刷法、蒸着法、染色法等公知のカラーフィルター形成法が使用できる。

両素電極の形状も前記の例では正方形としたが、長方形、六角形、三角形、円形等にしてもよいし、表示色によって表示両素電極の大きさや形状を変えたりしてもよい。

また、液晶を特定の方向に配向させる配向膜、反射電極、偏光膜、強誘電体膜等を積層してもよく、液晶中に2色性色素等を添加してもよく、周辺に駆動回路用の能動素子を形成または駆動回路ICを取付する等してもよい。

また、このTFTは1画素に1個形成されていけばよいが、冗長性を増すためにTFTを複数個並列に、または駆動電流値を増加させるために能動素子を複数個直列に形成するようにしてもよい。さらに、冗長性を増すために、ゲート電極やソース電極の予備配線を形成する等してもよい。

この外、本発明の効果を損しない範囲内でT

F.T.に用いられる他の構成が付加されていてもよい。

【実施例】

第1図の構造のTFTを、第4図に示す工程に従って製造した。

まず、第4図(A)に示すように、無アルカリガラス製の絶縁性基板41上にポリシリコン膜を100nm堆積し、所定の形状にパターンニングして半導体膜42とした。

次いで、第4図(B)に示すように、これにシリコンオキシナイトライドをプラズマCVDで150nm堆積してゲート絶縁膜44とし、Alを蒸着で200nm堆積、パターンニングしてゲート電極45とした。

ここで第4図(C)に示すように、ゲート電極の下の方半導体膜の部分を除いて、Pイオンを打ち込んで不純物添加半導体膜43を形成した。

次に、第4図(D)に示すように、さらにシリコンオキシナイトライドを100nm堆積して保護絶縁膜46とした。

次に、第4図(E)に示すように、スルーホール47をテーバー状に開けた。これは以下に示すような方法で、ドライエッチングを用いて行った。

保護絶縁膜46としてのSiON膜の上に、ボジレジスト(東京応化社製OPPB-800)を厚さ約1.6 μ mに塗布し、所定の形状にパターンニングした。

これをSF₆ガス73CCM、O₂ガス603CCM、圧力8Pa、パワー密度0.16w/cm²でSiON膜をドライエッチングした。この時、SiON膜とレジスト膜のエッチングレート比が約1:5になり、レジスト端面のテーバー形状が保護絶縁膜46及びゲート絶縁膜44のSiON膜の端面にコピーされた。これにより、保護絶縁膜46及びゲート絶縁膜44のSiON膜の端面は約1:5の傾斜を有する傾斜面となった。

引き続きCrを100nm蒸着してパターンニングして、ソース電極及びドレイン電極を形成した。

このスルーホール部の段差は保護絶縁膜46及

びゲート絶縁膜44の膜厚の合計である250nmであった。この段差に対して、この実施例ではソース電極及びドレイン電極の厚さは100nmであったが、スルーホール段差での断線はほとんどみられなかった。

実施例2

実施例1のTFTに表示画素電極を付加するとともに、その表示画素電極上に配向制御用のポリイミドの膜を形成し、静電気による破壊を生じないようにラビングしてアクティブマトリックス基板を形成した。

また、対向電極基板は、ガラス基板上にITO膜を形成し、各画素に対応する部分に夫々の色のカラーインクを印刷により付与して、カラーフィルターを形成し、さらにポリイミドの膜を形成し、これをラビングして形成した。

このアクティブマトリックス基板の周辺にシール材と基板間の導電接続用のインクを印刷し、アクティブマトリックス基板と対向電極基板とを圧着してセル化を行い、液晶を注入し、

その両面に一對の偏光膜を配置してツイストネマチック型アクティブマトリックス型液晶表示装置を製造した。

この実施例の液晶表示装置は、振動テストやヒートサイクルテストを行っても、スルーホール部での断線によるTFT欠陥を生じにくく、信頼性が高いものであった。

[発明の効果]

本発明によれば、TFTのスルーホール部の絶縁膜の端面が傾斜面とされているので、電極のステップカバレージ性がよく、電極の厚みを極めて厚くしなくても、電極の接触を確実に保ち、スルーホール断線を生じにくくなり、生産性が良くなるとともに、歩留も良いものとなる。

さらに製造時のみならず、使用中に後で発生してくる断線も減少するため、TFT自体、さらには表示装置とした後の信頼性も高くなる。

さらに、この上に透光膜を形成する場合においても、絶縁膜及び透光膜の厚さを著しく厚く

しなくてすみ、生産性がよく、かつ、短絡、断線という問題を生じにくくなる。

本発明は、このほか、本発明の効果を感じない範囲内で種々の応用が可能なるものである。

4. 図面の簡単な説明

第1図は、本発明の薄膜トランジスタの代表的な例の断面図である。

第2図は、このアクティブマトリックス液晶表示装置の代表的な例の等価回路図である。

第3図は、薄膜トランジスタの従来例の断面図である。

第4図(A)～(E)は、実施例のTFT製造工程を示す断面図である。

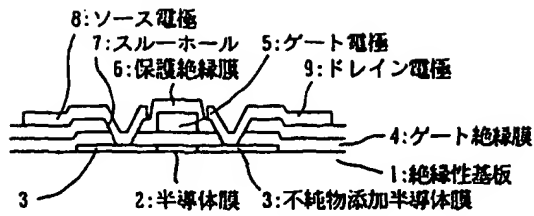
絶縁性基板	: 1, 31, 41
半導体膜	: 2, 32, 42
不純物添加半導体膜	: 3, 33, 43
ゲート絶縁膜	: 4, 34, 44
ゲート電極	: 5, 35, 45
保護絶縁膜	: 6, 36, 46
スルーホール	: 7, 37, 47

ソース電極	: 8, 38
ドレイン電極	: 9, 39

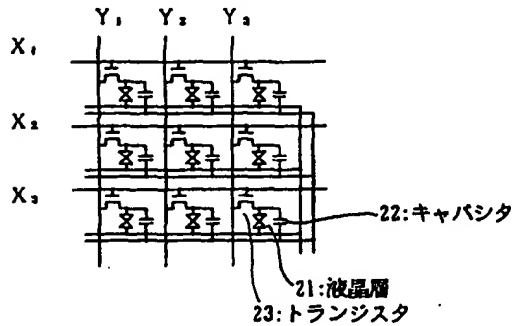
代理人 森村繁



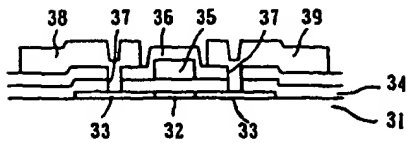
第 1 図



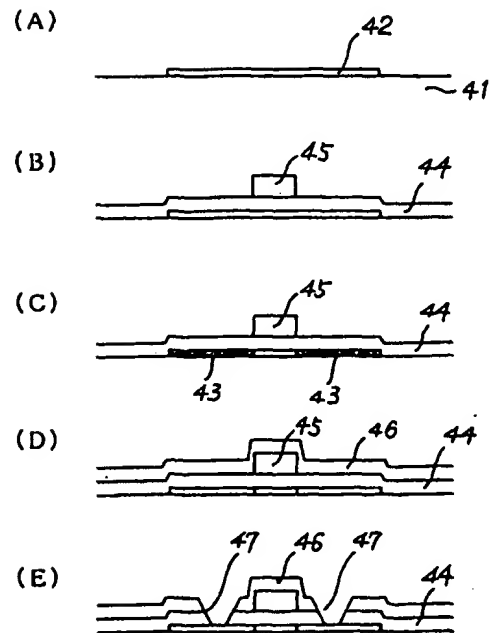
第 2 図



第 3 図



第 4 図



BEST AVAILABLE COPY